

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HYUN WOO SONG, ET AL.

Application No.:

Filed:

For: **SEMICONDUCTOR OPTICAL DEVICE  
HAVING CURRENT-CONFINED  
STRUCTURE**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2002-0069586	11 November 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/30/03

  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0069586  
Application Number PATENT-2002-0069586

출원 년 월 일 : 2002년 11월 11일  
Date of Application NOV 11, 2002

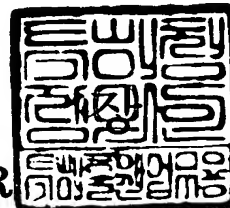
출원인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Institute



2002    년    12    월    24    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.11
【국제특허분류】	H01L
【발명의 명칭】	전류 제한 구조를 갖는 반도체 광소자
【발명의 영문명칭】	Semiconductor optical devices having current-confined structure
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	송현우
【성명의 영문표기】	SONG, Hyun Woo
【주민등록번호】	671220-1674124
【우편번호】	302-220
【주소】	대전광역시 서구 용문동 268-38
【국적】	KR
【발명자】	
【성명의 국문표기】	권오균
【성명의 영문표기】	KWON, O Kyun
【주민등록번호】	670310-1347916

【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 한울아파트 111동 1802호
【국적】	KR
【발명자】	
【성명의 국문표기】	한원석
【성명의 영문표기】	HAN, Won Seok
【주민등록번호】	701217-1408511
【우편번호】	305-804
【주소】	대전광역시 유성구 신성동 한울아파트 106동 604호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상희
【성명의 영문표기】	PARK, Sang Hee
【주민등록번호】	651202-2018114
【우편번호】	305-728
【주소】	대전광역시 유성구 전민동 462-5 세종아파트 108동 506호
【국적】	KR
【발명자】	
【성명의 국문표기】	김종희
【성명의 영문표기】	KIM, Jong Hee
【주민등록번호】	721223-1543011
【우편번호】	305-350
【주소】	대전광역시 유성구 가정동 161번지 ETRI 기숙사 신관
【국적】	KR
【발명자】	
【성명의 국문표기】	신재헌
【성명의 영문표기】	SHIH, Jae Heon
【주민등록번호】	680303-1024713
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 921 주은오피스텔 511호
【국적】	KR

## 【발명자】

【성명의 국문표기】

주영구

【성명의 영문표기】

JU, Young Gu

【주민등록번호】

710719-1567915

【우편번호】

305-802

【주소】

대전광역시 유성구 송강동 송강마을아파트 204동 1201호

【국적】

KR

## 【심사청구】

청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)

## 【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

1 면 1,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

13 항 525,000 원

【합계】

555,000 원

【감면사유】

정부출연연구기관

【감면후 수수료】

277,500 원

## 【기술이전】

【기술양도】

희망

【실시권 허여】

희망

【기술지도】

희망

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

전류 제한 구조(current-confined structure)를 갖는 반도체 광소자를 제공한다. 본 발명은 반도체 기판 상에 형성되고 하나 이상의 물질층으로 구성된 제1 도전형의 제1 반도체층과, 상기 제1 반도체층 상에 하나 이상의 물질층으로 구성된 제2 반도체층과, 상기 제2 반도체층 상에 상기 제1 도전형과 반대의 제2 도전형으로 하나 이상의 물질층으로 이루어지는 제3 반도체층으로 구성된다. 상기 제1 반도체층, 제2 반도체층 및 제3 반도체층은 메사(mesa) 구조로 되어 있고, 상기 제1 반도체층, 제2 반도체층 및 제3 반도체층을 구성하는 물질층중 적어도 어느 한 층의 측면부는 리세스(recess)되어 있고, 상기 리세스에는 산화막 혹은 질화막이 일부 혹은 전체에 채워져 있다. 이상과 같은 본 발명의 반도체 광소자는 광통신 파장 영역에서 사용 가능하고 역학적으로 안정하고 열전도도가 우수하며 상업성을 갖춘 전류 제한 구조를 갖는다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

전류 제한 구조를 갖는 반도체 광소자{Semiconductor optical devices having current-confined structure}

**【도면의 간단한 설명】**

도 1 내지 도 3은 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자의 제조방법 및 그에 따른 반도체 광소자를 설명하기 위한 단면도들이다.

도 4는 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자의 전류-전압 특성을 도시한 그래프이다.

도 5 및 도 6은 각각 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자를 측면 출력형 광소자 및 표면(바닥) 출력형 광소자에 적용한 경우를 도시한 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 광소자(semiconductor optical devices)에 관한 것으로, 보다 구체적으로는 전류 제한 구조(current-confined structure)를 갖는 반도체 광소자에 관한 것이다.

<5> 일반적으로, 반도체 광소자는 긴 수명과 높은 광 변환 효율 때문에 다양한 분야에 응용이 가능하다. 특히,  $1.2\ \mu\text{m} \sim 1.7\ \mu\text{m}$  파장 영역의 통신용 광원 및 검출기 등의 능동 소자로는 반도체 광소자가 가장 주목받고 있다. 이러한 광소자는 주로 InP 혹은 GaAs 기

판 위에 성장되는 서로 다른 형, 즉 p형 및 n형의 반도체층들 사이에 이득 영역을 형성하고 상기 반도체층들중 적어도 어느 한 층에 전류 제한 구조를 형성한다. 그리고, 위와 아래의 반도체층 상에 전극을 만들어 광소자를 동작한다. 상기 전류 제한 구조는 광원 소자 동작에 중요한 역할을 한다.

<6> 종래의 반도체 광소자의 전류 제한 구조는 다양한 방법으로 형성한다. 즉, 상기 전류 제한 구조의 형성 방법은 Al(Ga)As 반도체층을 옆 방향(lateral direction)으로 습식 산화하여 얻는 방법, InAlAs나 AlAsSb를 옆 방향으로 습식 산화하여 얻는 방법, 전류를 흘리지 않을 부분을 잘록하게 에칭하여 얻는 방법, 이온(ion)을 주입(implantation)을 주입하고서 열처리(annealing)하여 얻는 방법, 투과 정션(tunnel junction)층 주변을 에칭해 내고 재성장 하여 얻는 방법 등이 제안되고 사용되고 있다.

<7> 그러나, 상기한 각각의 반도체 광소자에 적용한 전류 제한 구조들은 다음과 같은 문제점을 갖는다.

<8> 먼저, AlAs를 옆 방향으로 습식 산화하여 전류 제한 구조를 도입한 소자는 아주 우수한 특성을 보여 주었다. 하지만, 이를 사용하는 GaAs 기판 위에 성장된 이득 매질이 안정적으로 제공할 수 있는 파장 영역이 1  $\mu\text{m}$  이하로 짧은 쪽으로 치우쳐 있다. 다시 말해, 1.55  $\mu\text{m}$  정도의 긴파장 영역에서 사용할 대안이 필요하다.

<9> 상기 InAlAs나 AlAsSb를 옆 방향으로 습식 산화하여 얻는 전류 제한 구조는 500  $^{\circ}\text{C}$ 의 고온에서 장시간 습식 산화해야만 하는 점과 Sb를 포함하는 결정 성장의 상업성이 부족한 단점이 있다. 상기 전류를 흘리지 않을 부분을 잘록하게 선택 에칭하여 전류 제한 구조를 얻는 방법은 반도체 광소자의 역학적 불안정성이 단점으로 안고 있다.



<10> 상기 이온을 주입하고 열처리하여 전류 제한 구조를 형성하는 방법은 원치 않는 영역의 결정성 회복(curing)에 어려움이 있다. 상기 통과 정션(tunnel junction)층 주변을 에칭해 내고 재성장하여 얻은 전류 제한 구조를 갖는 광소자는 제작 방법이 복잡하고, 상업적으로 불리한 분자선 결정 성장 법(molecular beam epitaxy)으로 성장된 광소자에서만 좋은 결과를 얻고 있는 실정에 있다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 따라서, 본 발명이 이루고자 하는 기술적 과제는 광통신용 파장 영역에서 사용 가능하며 안정한 공정성, 역학적 안정성 및 상업성을 갖춘 전류 제한 구조를 갖는 반도체 광소자를 제공하는 데 있다.

**【발명의 구성 및 작용】**

<12> 상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 광소자는 반도체 기판 상에 형성되고 하나 이상의 물질층으로 구성된 제1 도전형의 제1 반도체층과, 상기 제1 반도체층 상에 하나 이상의 물질층으로 구성된 제2 반도체층과, 상기 제2 반도체층 상에 상기 제1 도전형과 반대의 제2 도전형으로 하나 이상의 물질층으로 이루어지는 제3 반도체층으로 구성된다. 상기 제1 반도체층, 제2 반도체층 및 제3 반도체층은 메사(mesa) 구조로 되어 있고, 상기 제1 반도체층, 제2 반도체층 및 제3 반도체층을 구성하는 물질층 중 적어도 어느 한 층의 측면부는 리세스(recess)되어 있고, 상기 리세스에는 산화막 혹은 질화막이 일부 혹은 전체에 채워져 있다.

<13> 상기 제1 반도체층이 p형 반도체층일 경우 상기 제3 반도체층은 n형 반도체층이며, 상기 제1 반도체층이 n형 반도체층일 경우 상기 제3 반도체층은 p형 반도체층인 것이 바

람직하다. 상기 제2 반도체층은 p형 반도체층, n형 반도체층 또는 불순물이 포함되지 않은 반도체층일 수 있다.

<14>       상기 제1 반도체층 및 제3 반도체층은 광소자 동작시 감금 영역(confining region)이며, 상기 제2 반도체층은 광소자 동작시 이득 영역(gain region)일 수 있다. 상기 산화막 및 질화막은 원자층 증착법(atomic layer deposition)법에 의하여 형성된 ZnO, MgO, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub> 같은 산화막 또는 Si<sub>3</sub>N<sub>4</sub>, AlN와 AlON 같은 질화막일 수 있다.

<15>       상기 제1 반도체층 내지 제3 반도체층과 평행하도록 반사경이 더 형성되어 상기 제1 반도체층 내지 제3 반도체층과 수직한 방향으로 출력광을 얻을 수 있다. 상기 제1 반도체층 내지 제3 반도체층과 수직하도록 반사경이 더 형성되어 상기 제1 반도체층 내지 제3 반도체층과 평행한 방향으로 출력광을 얻을 수 있다.

<16>       또한, 본 발명의 반도체 광소자는 반도체 기판 상에 서로 다른 도전형으로 형성되고, 각각 하나 이상의 물질층으로 이루어지는 반도체층으로 구성된 감금 영역과, 상기 서로 다른 도전형의 반도체층으로 구성된 전류 제한 영역 사이에 형성되고 하나 이상의 물질층으로 이루어지는 반도체층으로 구성된 이득 영역으로 구성된다. 상기 감금 영역 및 이득 영역은 메사 구조로 되어 있고, 상기 감금 영역 및 이득 영역의 반도체층을 구성하는 물질층중 적어도 어느 한 층의 측면부는 리세스되어 있고, 상기 리세스에는 산화막 혹은 질화막이 일부 혹은 전체에 채워져 있는 것을 특징으로 한다.

<17>       상기 산화막 혹은 질화막은 원자층 증착법(atomic layer deposition)법에 의하여 형성된 ZnO, MgO, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, SiO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub> 같은 산화막 또는 Si<sub>3</sub>N<sub>4</sub>, AlN와 AlON 같은 질화막을 이용할 수 있다. 상기 감금 영역을 구성하는 반도체층은 p형 반도체

층 또는 n형 반도체층일 수 있다. 상기 이득 영역을 구성하는 반도체층은 p형 반도체층, n형 반도체층 또는 불순물이 포함되지 않은 반도체층일 수 있다.

<18>       상기 감금 영역 및 이득 영역에 평행하도록 반사경이 더 형성되어 상기 감금 영역 및 이득 영역과 수직한 방향으로 출력광을 얻을 수 있다. 상기 감금 영역 및 이득 영역과 수직하도록 반사경이 더 형성되어 상기 감금 영역 및 이득 영역과 평행한 방향으로 출력광을 얻을 수 있다.

<19>       이상과 같은 본 발명의 반도체 광소자는 광통신 파장 영역에서 사용 가능하고 역학적으로 안정하고 열전도도가 우수하며 상업성을 갖춘 전류 제한 구조를 갖는다.

<20>       이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<21>       도 1 내지 도 3은 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자의 제조방법 및 그에 따른 반도체 광소자를 설명하기 위한 단면도들이다.

<22>       도 1을 참조하면, 반도체 기판(10) 상에 제1 도전형, 예컨대 p형 또는 n형의 제1 반도체층(12)을 형성한다. 상기 반도체 기판(10)은 InP 기판을 사용할 수 있다. 상기

제1 반도체층(12)은 III-V족 반도체를 이용하여 하나 이상의 물질층으로 구성되나, 도 1에서는 편의상 두 개의 물질층(12a, 12b)으로 구성하였다. 상기 제1 반도체층(12)은 광소자 동작시 감금 영역(confining)으로 작용할 수 있다.

<23>       상기 제1 반도체층(12) 상에 리세스(recess, 15)를 갖는 제2 반도체층(14)을 형성한다. 상기 제1 반도체층(14)은 III-V족 반도체를 이용하여 하나 이상의 물질층으로 구성되나, 도 2에서는 편의상 하나의 물질층으로 구성하였다. 상기 제2 반도체층(14)은 p형 반도체층, n형 반도체층, 불순물이 포함되지 않는 반도체층 혹은 이들의 조합으로 된 반도체층들로 형성할 수 있다. 상기 제2 반도체층(14)은 반도체 광소자 동작시 이득영역으로 작용할 수 있다.

<24>       상기 제2 반도체층(14) 상에 제1 도전형과 반대 도전형, 예컨대 n형 또는 p형의 제3 반도체층(16)을 형성한다. 다시 말해, 제1 반도체층(12)이 p형 반도체층일 경우 제3 반도체층(16)은 n형 반도체로 형성하고, 제1 반도체층(12)이 n형 반도체층일 경우 제3 반도체층(16)은 p형 반도체층으로 형성한다. 상기 제3 반도체층(16)은 III-V족 반도체를 이용하여 하나 이상의 물질층으로 구성되나, 도 1에서는 편의상 네 개의 물질층(16a, 16b, 16c, 16d)으로 구성하였다. 상기 제3 반도체층(16)은 광소자 동작시 감금 영역(confining region)으로 작용할 수 있다.

<25>       상기 제1 반도체층(12), 제2 반도체층(14) 및 제3 반도체층(16)을 구성하는 물질층은 InP 기판(10) 상에 성장될 수 있는 물질, 예컨대 InP, InGaAs, InAlGaAs, InAlAs, InGaAsP 등을 유기금속 기상 결정 성장 법(metal-organic vapor phase epitaxy)을 이용하여 형성한다.

<26>      상기 제1 반도체층(12), 제2 반도체층(14) 및 제3 반도체층(16)은 메사(mesa) 구조로 형성된다. 더하여, 상기 제2 반도체층(14)은 메사 구조 형성 후에 인산계 혹은 염산계 용액을 이용하여 선택적으로 습식에칭하여 측면부가 잘록하게 리세스(14)를 형성한다. 상기 제1 반도체층(12), 제2 반도체층(14) 및 제3 반도체층(16)을 구성하는 III-V 족 반도체 물질층들 사이에 선택성이 강한 다른 에칭방법을 이용할 수 도 있다. 상기 제1 반도체층(12), 제2 반도체층(14) 및 제3 반도체층(16)을 구성하는 III-V족 반도체 물질층의 조성을 조절함으로써 잘록하게 선택 에칭된 단면의 모양(etching profile)을 조절할 수 있다. 도 1에서는, 상기 제2 반도체층(14)에 리세스를 형성하였으나, 제1 반도체층(12)이나 제3 반도체층(16)을 구성하는 물질층중 적어도 어느 하나에 리세스를 형성하여도 무방하다.

<27>      도 2를 참조하면, 상기 리세스(14)를 채우도록 반도체 기판(10) 및 제1 반도체층(12) 및 제3 반도체층(16)의 측면벽에 열 전달이 좋은 산화막 혹은 질화막(18)을 증착한다. 도 2에서는 산화막 혹은 질화막을 리세스에 완전히 채우도록 형성하였으나, 일부만 채울 수 도 있다. 상기 리세스(14)에 의해 드러난 에칭면들은 누설전류(leakage current) 및 비발광 결합(non-radiative recombination) 등의 요인으로 작용하기 때문에 반도체 광소자의 특성이 열화된다. 따라서, 본 발명에서는 상기 리세스(14)에 의해 드러난 에칭면들에 산화막 혹은 질화막(18)을 증착함(passivation)으로써 이러한 반도체 광소자 열화 요인을 완화시킬 수 있고, 더하여 채워진 산화막 혹은 질화막으로 역학적으로 안정한 반도체 광소자가 된다.

<28>      상기 산화막 혹은 질화막(18)은 알루미늄 산화막( $Al_2O_3$ ), 마그네슘 산화막(MgO) 또는 알루미늄 질화막(AlN)을 이용할 수 있다. 상기 산화막(18)을 알루미늄 산화막( $Al_2O_3$ )

막으로 형성하는 경우 실제로 InP로 이루어진 반도체 기판(10) 위에 형성된 반도체층, 예컨대 InAlGaAs, InGaAsP, InAlAs, InGaAs 등과 비교해서 현저히 열전도도가 높아서 반도체 광소자의 열 방출이 원활해진다.

<29> 특히, InP로 이루어진 반도체 기판(10) 위에 성장되는 통신용 광원소자의 경우는 온도 상승에 의한 이득 저하가 큰 광소자 열화 요인이 되기 때문에 열방출이 잘 되는 본 발명의 반도체 광소자는 매우 유리하다. 더하여, 본 발명의 반도체 광소자를 레이저에 응용할 경우 리세스(14)에 산화막 혹은 질화막(18)을 증착하여 채움으로써 발광 영역의 굴절률과 주변의 굴절률 차이를 줄여주게 되어 레이저 출력광의 횡 모드 특성을 개선할 수 있다.

<30> 상기 리세스(14)에 산화막 혹은 질화막을 채워 넣는 방법은 원자층 증착(atomic layer deposition) 방법을 이용한다. 특히, 원자층 증착법으로 TMA(tri methyl aluminum)와 H<sub>2</sub>O를 재료로 하여 알루미늄 산화막을 형성하면 1.67 정도의 높은 굴절률을 갖는 뽁뽁한(dense) 박막을 비교적 낮은 온도인 350 °C에서 증착 할 수 있다. 이러한 원자층 증착법은 상업성을 갖추고 있다.

<31> 도 3을 참조하면, 상기 제3 반도체층(16)의 표면 및 반도체 기판(10)의 하부에 각각 제1 전극(20) 및 제2 전극(22)을 형성한다. 상기 반도체 기판(10)의 하부에 형성된 제2 전극(22)은 제1 반도체층(12)의 하부에 형성할 수 도 있다. 도 3에 도시한 바와 같이 제1 전극(20) 및 제2 전극(22)을 통하여 전압을 걸어 주었을 때 화살표로 표시한 바와 같은 전류 주입 경로가 나타난다. 즉, 제3 반도체층(16)으로 주입된 전류는 제2 반도체층(14)으로 공간적으로 제한되어 모이며 다시 제1 반도체층(12)을 통하여 퍼지게 된다.

- <32>        이상과 같은 본 발명의 반도체 광소자는 측면 선택 에칭(lateral selective etching) 방법을 이용하여 전류를 흘려야 할 영역(제2 반도체층)만을 남김으로써 잘룩한 형태의 리세스를 갖는 메사(mesa) 구조가 된다. 더하여, 본 발명은 반도체 광소자는 리세스에 절연성과 열전달성이 좋은 물질을 채워 넣으면 역학적으로 안정성이 확보되고 열 방출성이 좋은 전류 제한 구조를 갖게 된다. 결과적으로, 본 발명의 반도체 광소자의 전극을 통하여 전압을 걸면 제2 반도체층을 통하여 전류가 효율적으로 흘러 갈 수 있다. 앞서의 설명에서 제1 반도체층(12) 및 제3 반도체층(16)은 감금 영역으로 작용하고, 제2 반도체층(14)은 이득영역으로 작용하는 것으로 설명되어 있으나, 이득영역은 감금 영역 사이에만 형성되면 되기 때문에 리세스가 어디에 형성되는냐에 따라 감금 영역 및 이득 영역은 변경될 수 있다.
- <33>        도 4는 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자의 전류-전압 특성을 도시한 그래프이다.
- <34>        구체적으로, 도 4에 도시된 바와 같이 산화막(알루미늄 산화막:  $Al_2O_3$ )이 채워진 반도체 광소자(실선으로 표시, 참조부호 a로 표시)가 산화막(알루미늄 산화막:  $Al_2O_3$ )으로 채워지지 않은 반도체 광소자(점선으로 표시, 참조부호 b로 표시)보다 누설전류(leakage current)가 낮음을 알 수 있다.
- <35>        도 5 및 도 6은 각각 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자를 측면 출력형 광소자 및 표면(바닥) 출력형 광소자에 적용한 경우를 도시한 도면이다. 도 5 및 도 6에서, 도 1 내지 도 3과 동일한 참조번호는 동일한 부재를 나타낸다.
- <36>        구체적으로, 도 5는 측면 출력형 광소자를 도시한 도면이다. 도 5에서는 반도체층(23), 즉 도 1 내지 도 3의 제1 반도체층 내지 제3 반도체층(12, 14, 16)과 수직하도록

반사경(24)이 형성되어 있어서 상기 제1 반도체층 내지 제3 반도체층(12, 14, 16)과 평행한 방향으로 출력광(26)을 얻을 수 있다. 도 6은 표면 출력형 광소자를 도시한 도면이다. 도 6에서는, 도 1 내지 도 3의 제1 반도체층 내지 제3 반도체층(12, 14, 16)과 평행하도록 반사경이 형성되어 있어서 상기 제1 반도체층 내지 제3 반도체층(12, 14, 16)과 수직한 방향으로 출력광(28)을 얻을 수 있다.

<37>        더하여, 본 발명에 의한 전류 제한 구조를 갖는 반도체 광소자는 측면 방출 반도체 레이저, 측면 방출 발광 다이오드, 표면 방출 반도체 레이저, 표면 방출 발광 다이오드, 수광 다이오드, 반도체 광 증폭기, 광검출기 등에도 적용할 수 있다.

#### 【발명의 효과】

<38>        상술한 바와 같은 본 발명의 반도체 광소자는 전류 제한 구조를 갖게끔 반도체층의 선택 에칭을 통해서 잘록하게 에칭해 리세스를 형성하고 상기 리세스에 열 전달이 좋은 산화막 혹은 질화막을 증착하여 채워 넣는다.

<39>        이에 따라, 본 발명의 반도체 광소자는 역학적 안정성을 갖게 되고 우수한 열전도 특성을 얻을 수 있다. 또한 본 발명의 반도체 광소자는 상기 리세스에 원자층 증착법을 이용하여 산화막 혹은 질화막을 채워 넣어 에칭된 표면에서의 누설전류 낮출 수 있어 안정성(reliability)을 확보할 수 있고 상업성을 확보할 수 있다.

<40>        결과적으로, 본 발명의 반도체 광소자는 광통신 파장 영역에서 사용 가능하고 역학적으로 안정하고 열전도도가 우수하며 상업성을 갖춘 전류 제한 구조를 갖는다. 더하여, 본 발명의 반도체 광소자는 광원 및 검출 소자의 기술 분야, 광통신 기술 분야, 발광 다이오드 및 레이저, 수직공진 표면 방출 레이저 기술 분야에서 사용될 수 있다.



**【특허청구범위】****【청구항 1】**

반도체 기판 상에 형성되고 하나 이상의 물질층으로 구성된 제1 도전형의 제1 반도체층;

상기 제1 반도체층 상에 하나 이상의 물질층으로 구성된 제2 반도체층;

상기 제2 반도체층 상에 상기 제1 도전형과 반대의 제2 도전형으로 하나 이상의 물질층으로 이루어지는 제3 반도체층으로 구성되고,

상기 제1 반도체층, 제2 반도체층 및 제3 반도체층은 메사 구조로 되어 있고, 상기 제1 반도체층, 제2 반도체층 및 제3 반도체층을 구성하는 물질층중 적어도 어느 한 층의 측면부는 리세스되어 있고, 상기 리세스에는 산화막 혹은 질화막이 일부 혹은 전체에 채워져 있는 것을 특징으로 하는 반도체 광소자.

**【청구항 2】**

제1항에 있어서, 상기 제1 반도체층이 p형 반도체층일 경우 상기 제3 반도체층은 n형 반도체층이며, 상기 제1 반도체층이 n형 반도체층일 경우 상기 제3 반도체층은 p형 반도체층인 것을 특징으로 하는 반도체 광소자.

**【청구항 3】**

제1항에 있어서, 상기 제2 반도체층은 p형 반도체층, n형 반도체층 또는 불순물이 포함되지 않은 반도체층인 것을 특징으로 하는 반도체 광소자.

## 【청구항 4】

제1항에 있어서, 상기 제1 반도체층 및 제3 반도체층은 감금 영역이며, 상기 제2 반도체층은 이득 영역인 것을 특징으로 하는 광소자.

## 【청구항 5】

제1항에 있어서, 상기 산화막 혹은 질화막은 원자층 증착법(atomic layer deposition)법에 의하여 형성된 알루미늄 산화막( $Al_2O_3$ ), 마그네슘 산화막(MgO) 또는 알루미늄 질화막(AlN)인 것을 특징으로 하는 반도체 광소자.

## 【청구항 6】

제1항에 있어서, 상기 제1 반도체층 내지 제3 반도체층과 평행하도록 반사경이 더 형성되어 상기 제1 반도체층 내지 제3 반도체층과 수직한 방향으로 출력광을 얻을 수 있는 것을 특징으로 하는 반도체 광소자.

## 【청구항 7】

제1항에 있어서, 상기 제1 반도체층 내지 제3 반도체층과 수직하도록 반사경이 더 형성되어 상기 제1 반도체층 내지 제3 반도체층과 평행한 방향으로 출력광을 얻을 수 있는 것을 특징으로 하는 반도체 광소자.

## 【청구항 8】

반도체 기판 상에 서로 다른 도전형으로 형성되고, 각각 하나 이상의 물질층으로 이루어지는 반도체층으로 구성된 감금 영역;

상기 서로 다른 도전형의 반도체층으로 구성된 전류 제한 영역 사이에 형성되고 하나 이상의 물질층으로 이루어지는 반도체층으로 구성된 이득 영역으로 구성되고,

상기 감금 영역 및 이득 영역은 메사 구조로 되어 있고, 상기 감금 영역 및 이득 영역의 반도체층을 구성하는 물질층중 적어도 어느 한 층의 측면부는 리세스되어 있고, 상기 리세스에는 산화막 혹은 질화막이 일부 혹은 전체에 채워져 있는 것을 특징으로 하는 반도체 광소자.

**【청구항 9】**

제8항에 있어서, 상기 산화막 혹은 질화막은 원자층 증착법(atomic layer deposition)법에 의하여 형성된 알루미늄 산화막( $\text{Al}_2\text{O}_3$ ), 마그네슘 산화막( $\text{MgO}$ ) 또는 알루미늄 질화막( $\text{AlN}$ )인 것을 특징으로 하는 반도체 광소자.

**【청구항 10】**

제8항에 있어서, 상기 감금 영역을 구성하는 반도체층은 p형 반도체층 또는 n형 반도체층인 것을 특징으로 하는 반도체 광소자.

**【청구항 11】**

제8항에 있어서, 상기 이득 영역을 구성하는 반도체층은 p형 반도체층, n형 반도체층 또는 불순물이 포함되지 않은 반도체층인 것을 특징으로 하는 반도체 광소자.

**【청구항 12】**

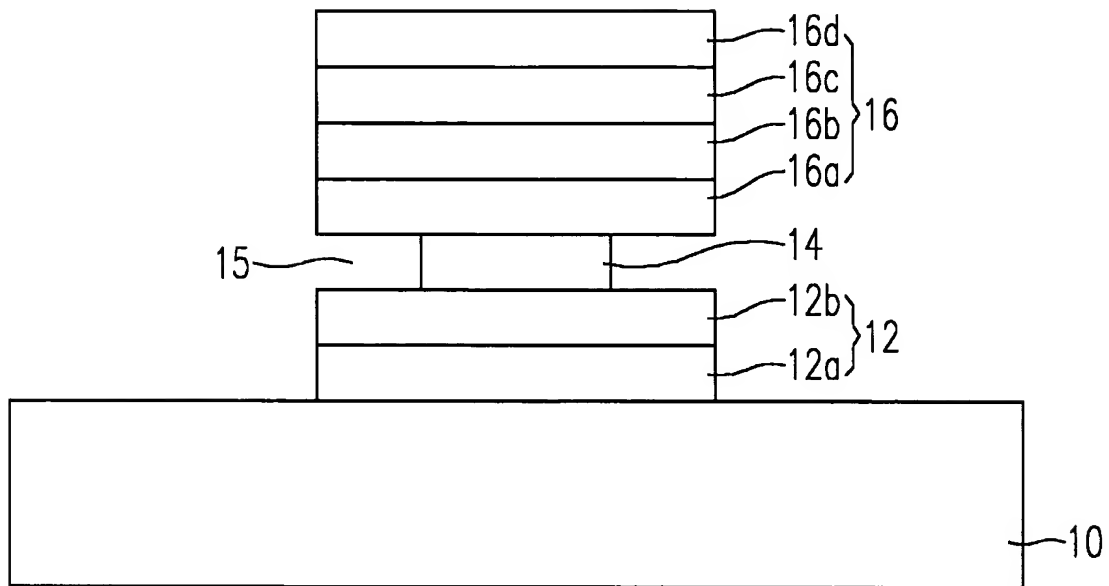
제8항에 있어서, 상기 감금 영역 및 이득 영역에 평행하도록 반사경이 더 형성되어 상기 감금 영역 및 이득 영역과 수직한 방향으로 출력광을 얻을 수 있는 것을 특징으로 하는 반도체 광소자.

**【청구항 13】**

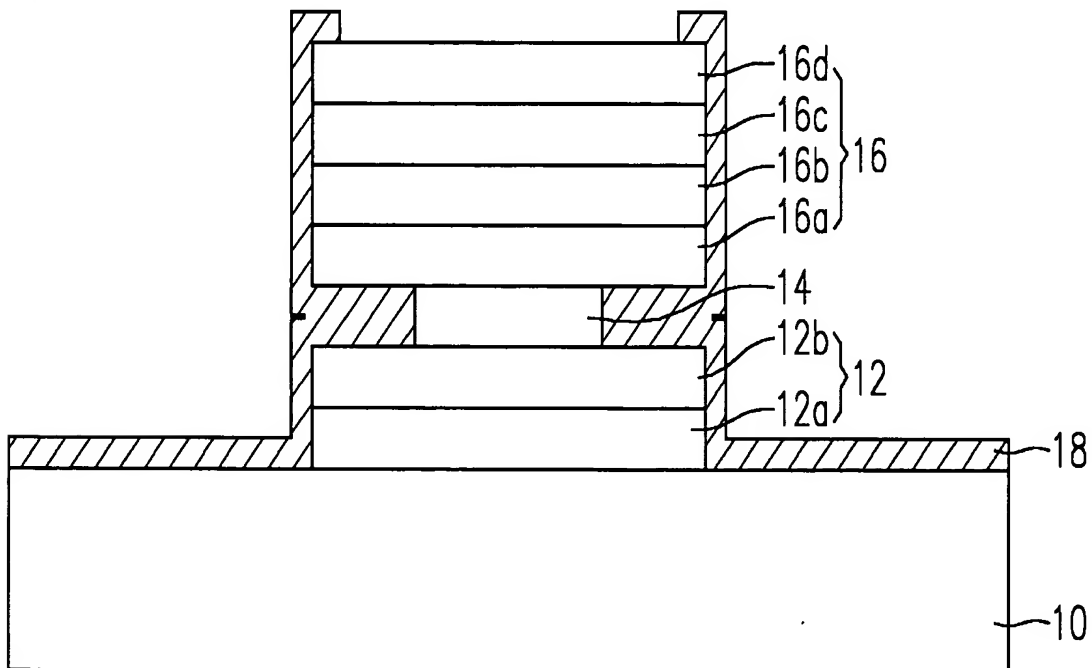
제8항에 있어서, 상기 감금 영역 및 이득 영역과 수직하도록 반사경이 더 형성되어 상기 감금 영역 및 이득 영역과 평행한 방향으로 출력광을 얻을 수 있는 것을 특징으로 하는 반도체 광소자.

## 【도면】

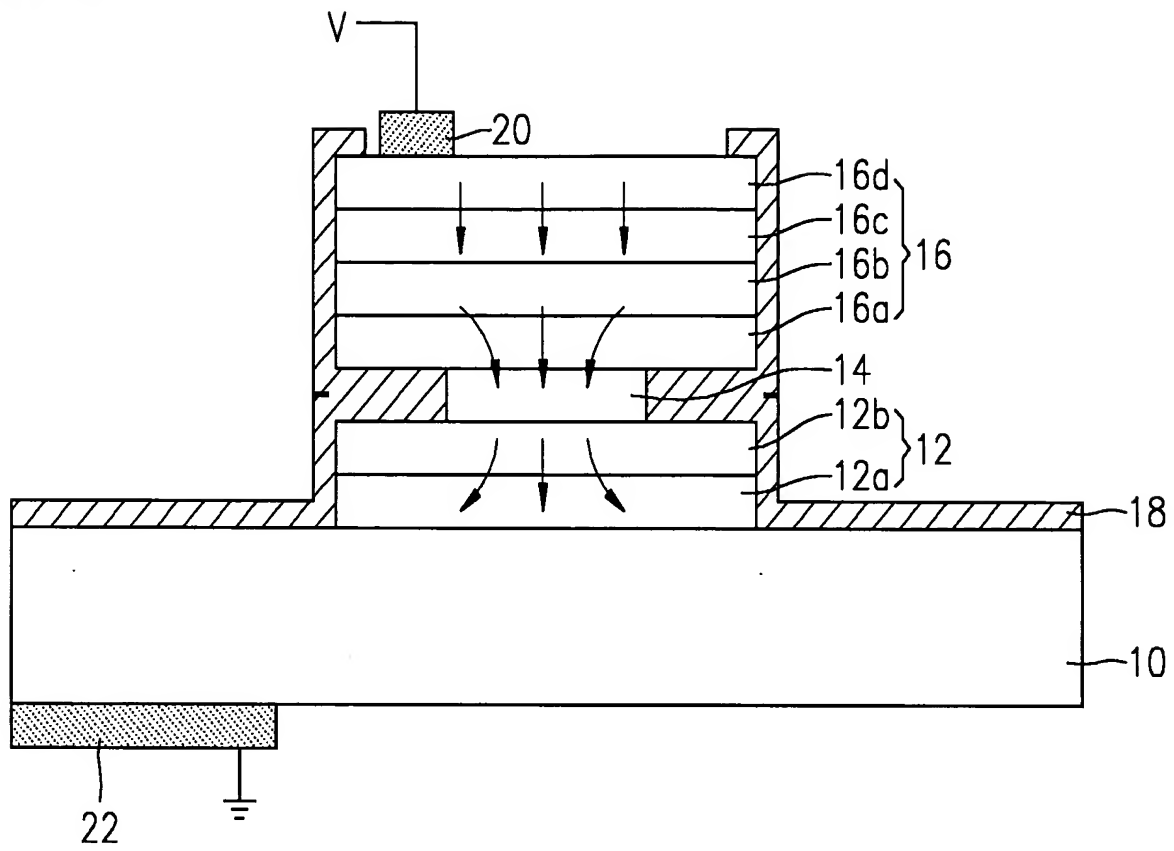
【도 1】



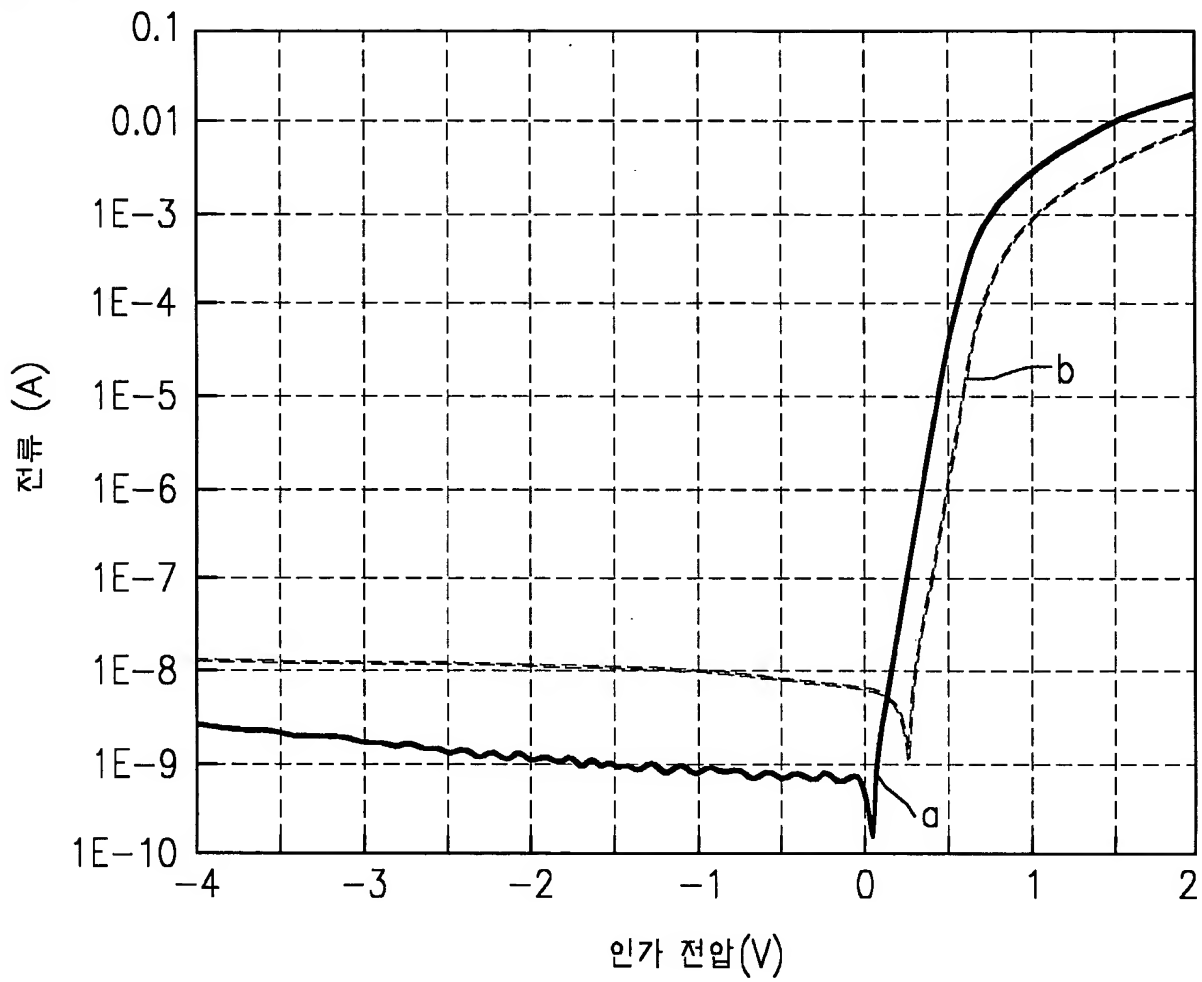
【도 2】



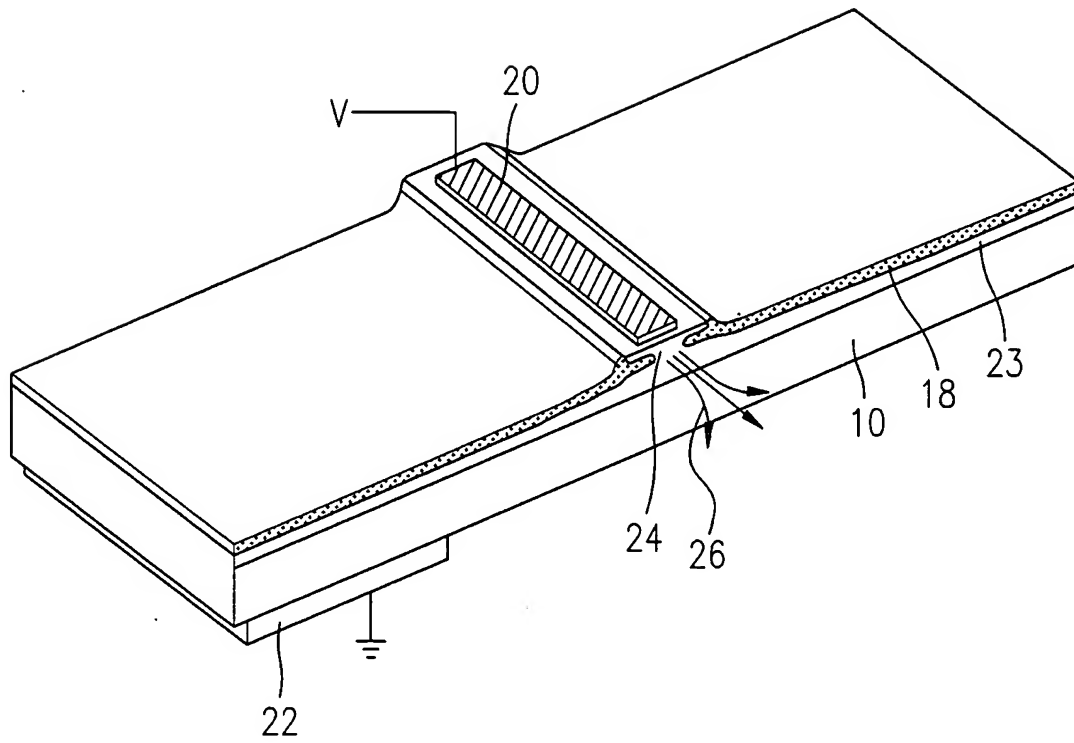
【도 3】



【도 4】



【도 5】





【도 6】

